

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

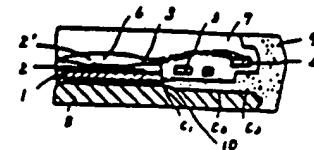
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) RESIN SEALED SEMICONDUCTOR DEVICE
(11) 63-233555 (A) (43) 29.9.1988 (19) JP
(21) Appl. No. 62-65715 (22) 23.3.1987
(71) TOSHIBA CORP (72) SHINJIRO KOJIMA
(51) Int. Cl. H01L23/30, H01L23/34

PURPOSE: To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

CONSTITUTION: A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapsulating agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C_1 being provided. A second resin seal part 9 is formed. Here, gaps C_2 and C_3 are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C_1 . Since the gap C_1 is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



②公開特許公報 (A) 昭63-233555

③Int.CI.

H 01 L 23/30
23/34

既別記号

厅内整理番号

B-6835-5F
B-6835-5F

③公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

④発明の名称 樹脂封止型半導体装置

⑤特 願 昭62-65715

⑥出 願 昭62(1987)3月23日

⑦発明者 小島 伸次郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑧出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑨代理人 井理士 井上 一男

明 節 番

1. 発明の名称

樹脂封止型半導体装置

2. 特許請求の範囲

基電性金属板裏面にマウントする半導体素子と、この周囲に配置する遮蔽をもつリード端子と、このリード端子と同様半導体素子端子を封止する金属端頭と、この金属端頭及び同様半導体素子端子を封止し封止部は金属板の裏面を露出して封止部を有する第1の樹脂封止部と、前記封止部金属端頭と僅かな距離を、確実して対向配置する板状の放熱フィンと、この僅かな距離をうの前記板状の放熱フィンの裏面を露出し前記第1の樹脂封止部を含めて封止部を有する第2の樹脂封止部とをもつ樹脂封止型半導体装置において、

前記板状の放熱フィンと基電性金属板裏面の距離を最小とし、前記放熱フィンと第1の樹脂封止部間の距離、前記金属端頭を封止する前記リード端子に対応する第1の樹脂封止部と前記板状の放熱フィン間の距離を依次増大することを特徴とする

る樹脂封止型半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

〔装置上の利用分野〕

本発明は樹脂封止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCRアレイ等のパワーモジュールや、パワートランジスタならびにパワースイッチ等の高比力半導体装置に適用する二重にモールドを施した半導体装置に関するものである。

〔従来の技術〕

最近の半導体装置には單一の半導体素子で構成するものの外に、複数の半導体素子ならびに付属部品を一體としたモジュールタイプも多用されており、その放熱性を改善するにはリードフレームにマウントした半導体素子と共に放熱フィンもトランスマウントする方が採用されている。

このようなモジュール装置では複数の半導体素子をマウントするサブの大きいリードフレームを用いるため樹脂封止部工場中に用意して、放熱

ファインとリードフレームのベッド部底面が底面に陥くなったりにげられることがある。

このために、被封封止（トランスファモールド）工程を複数回に分けて実施する方法が採用されており、リードフレームのベッドと底面ファイン部の底面を所定の位置に接觸できるので、底面性の改善に役立つところが大きい。

第10回によりこの二重モールド方式を採用する。第10回は二重モールドを施した部品の断面図。この構造を1回に第1の被封封止を終えた部品Aを、リードフレームのベッド部20と底面ファイン21を底面に接觸させて金属内に配置後第一の被封封止部22と接着なエポキシ樹脂によって封止成形を行って第二の被封封止部23を設ける。

この二重モールド方式の結果、ベッド部20にダイポンディングした半導体素子24ならびにリードフレームのリード端子25を実施する金属底面26等が複数すると共に、底面ファイン21の一端はこの封止部22と接着して底面を形成する。

（発明が解決しようとする問題点）

このような二重モールド方式を適用した被封封止部半導体装置は前述のように底面ファインと、半導体素子をダイポンディングしたリードフレームのベッド部底面を底面に接觸するので底面性に優れた特徴を有している。これに反して、前記底面に封止部が入りにくいためエアボイドが発生しやすい。また、この封止部の境界に複数の底面を有すると、底面やエアギャップが入り易い箇所があり、これが基で底面性が劣化する。

本発明は上記欠点を除去する所要な被封封止部半導体装置を提供することを目的とする。

（発明の構成）

（問題点を解決するための手段）

二重モールド方式を適用した被封封止部半導体装置における板状の底面ファインと、リードフレームのベッド部から底面は金属底面を実施する第2の被封封止部のエアギャップ等を解消するために、この種の底面に接觸する板状の底面ファインと第1の被封封止部の底面と前記底面は金属底

にマウントした半導体素子と電気的接続を有するべく底面した金属底面にはリード端子を複数しこれに対応する第1の被封封止部と板状底面ファイン部の底面とを底面増大する手段を採用する。

（作用）

このように本発明では底面に複数の底面に接觸する複数底面端子を底面増大するように複数しているので、入り易く使ってエアボイドの発生を防止して、被封封止部半導体装置に必要な底面性ならびに底面性を確保したものである。

（実質例）

第1回乃至第9回に本発明の実質例を記述するが、従来の技術と底面する記述が概念上一致にあるが、新番号を付して記述する。

この実質例は半導体素子6ヶで構成する底面（第5回）ヒッチ被封封止部半導体装置であり、この各半導体素子をマウントするリードフレームも複数複数の構造が必要となるが、その上底面を第2回に示す。

半導体素子2…にベッド部から底面は金属底面1

…にマウントされているが、そのパターンは複数でありかつ複数が高いことが良くわかる。一方このリードフレームは第1回等に示すように導電性金属底面1…と内部リード端子部3ならびに複数するよう底面端子をポンディングする外部リード端子部4の3部分の高さを互に異らせるように形成してこの導電性金属底面1…を複数の位置にする。

半導体素子2…に設けるベッド2…と外部リード端子4間には通常のポンディング等によって金属底面5を接觸して電気的接続を図り、これをエンキヤップ部6によって被封接合部のエポキシ樹脂によるトランスファモールド工程を経て第1の被封封止部7を設ける。この封止部7は半導体素子2、内部外部リード端子3、4は、金属底面5とエンキヤップ部6は複数されるものの、導電性金属底面1…の高さはこの第1の被封封止部7底面に算出する。

更に算出した導電性金属底面1…に対して底面を接觸して板状の底面ファイン8を被封モールド用金属内に設けて第2の被封封止部9を形成する。

この場合、板状の放熱フィン8と導電性金属板1面の距離C1、内部リード3に対応する第1の板面封止部7と板状の放熱フィン8面の距離C2、外部リード4に対応する第1の板面封止部7と板状の放熱フィン8面の距離C3として接触強度が求め易いように配置している。C1に示す距離を維持するには第1面に示すように板状の放熱フィン8の所定位置即ち内部リード端子3に対応する位置にプレス加工で凹部10を設けるか、第8面に示すように第1の板面封止部7の厚さを小さくしても良い。尚このトランスマルチモールド工程におけるゲート位置はC1方向に設けて前述のように接触強度の流れを改善して最も良いC1の通過を良好にする。

更にこの接触強度の流れに配慮した例が第3～4図、第6～8図であり、結果的には第2の板面封止部9が第1の板面封止部7を剪付け付けて板状の放熱フィン8と導電性金属板1面のニアーダップを防止している。

この第4図は第2の板面封止部9形成を終え

たい工程を終えた板面封止部半導体基板の上位面であり第1及U第2の板面封止部7、8が連続して基板を形成しているが、この第1の板面封止部7の外側に7a～7cの段階を形成している。第3図イは、第1の板面封止部7を形成してから不要部分を除去した成形品の平面図であり、これをA-A線に沿って切削した断面が第3断面である。

この段階は、第2の板面封止部9との距離を大きくするに半導体端子の外側言い換えると導電性金属板1…の中間位置に形成し、この成形に当っては段階に相当する上型キャビティの成形型を使用し、かつこの導電性金属板1の裏面が第1の板面封止部7の裏面を下型キャビティの裏面に配置してトランスマルチモールド工程を実施して得られる。

第6図～第8図は第4図に示したB-B、C-C、D-Dの各線に沿って切削した断面の断面図であり、第1の板面封止部7の段階7a～7cにエポキシ樹脂で構成する第2の板面封止部9a～9cが完成され、第7図に示す段階テープ9iは第2の板面

封止部9に対してUnder Cutの遮テープであって斜度しくは5°より斜度しくは10°以上に設置する。

この段階は半導体端子2の外側をほぼ削りで受けられているので、既にC1の距離を持つ導電性金属板1と板状の放熱フィン8面に充満する第2の板面封止部9の導電性が改善されて、第1の板面封止部7を剪付けける強度を発揮する。

第第4図に示すように第1の板面封止部7が露出する面積は第1の板面封止部7の板面面積の約50%が斜度しく、導電力を強めるために少なくするとC1距離を所定の寸法に収めることができます。ボイドが抜けずに起因不良となる。これは第2の板面封止部9成形時にC1距離をもった隙間が後から充填されてここでの板面圧が小さくなつてかつボイドを生み易いためである。

(発明の効果)

この二重モールド方式を活用した板面封止部半導体基板では板状放熱フィンと第1の板面封止部間に第2の板面封止部が充填され易くて、エ

アーボイドが発生し難い。従って半導体基板の接触強度が安定して高耐圧端子が得られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状放熱フィンを使用して外形寸法が77(幅)×27(高)×7(厚)mmである第4図の板面封止部半導体基板を試作としてC1を0.34mmとすると、ピーク値として2.7Nを1分でクリアでき、0.3mmでは24.4N×1分をクリアした。

4. 他の簡単な説明

第1図は本発明の供する半導体基板の断面を示す断面図、第2はリードフレームの平面図、第3図イは第1の板面封止部の状態を示す上位面、第3断面は第3図イをA-A線に沿って切削した断面図、第4図は本発明に供する半導体基板の上位面、第5図はこの半導体基板の断面図、第6～第8図は第4図のB-B、C-C、D-D線に沿って切削した断面図、第9図は本発明に供する半導体の断面を示す断面図、第10図は板状放熱フィンの断面図である。

代理人 内藤士 共 上一男

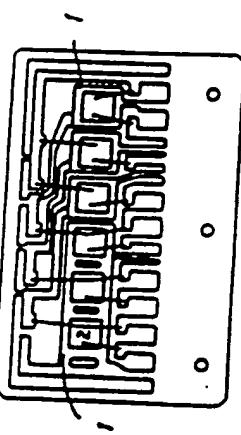
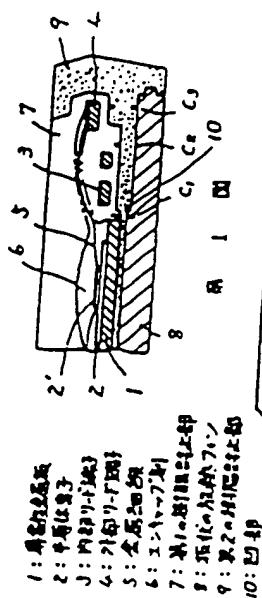


図 2

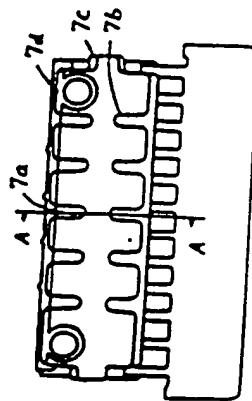


図 3

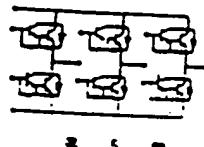
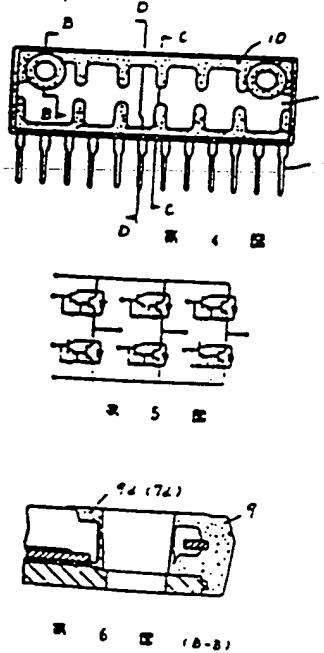


図 5

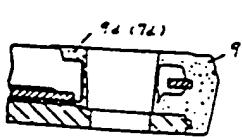


図 6

